



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0046864  
Application Number

출원 년 월 일 : 2003년 07월 10일  
Date of Application JUL 10, 2003

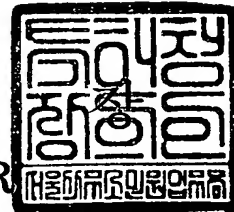
출원인 : 학교법인 포항공과대학교  
Applicant(s) POSTECH FOUNDATION



2003 년 09 월 26 일

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.07.10
【국제특허분류】	H03K
【발명의 명칭】	다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법
【발명의 영문명칭】	Digital duty cycle correction circuit for multi-phase clock and method thereof
【출원인】	
【명칭】	학교법인 포항공과대학교
【출원인코드】	2-1999-900096-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050323-2
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-006267-7
【발명자】	
【성명의 국문표기】	장영찬
【성명의 영문표기】	JANG, Young Chan
【주민등록번호】	760320-1684122
【우편번호】	703-833
【주소】	대구광역시 서구 중리동 719-1번지 일신아파트 6동 311호
【국적】	KR
【발명자】	
【성명의 국문표기】	배승준
【성명의 영문표기】	BAE, Seung Jun
【주민등록번호】	760310-1459821



1020030046864

출력 일자: 2003/10/1

【우편번호】	301-758
【주소】	대전광역시 중구 오류동 삼성아파트 29동 906호
【국적】	KR
【발명자】	
【성명의 국문표기】	박홍준
【성명의 영문표기】	PARK, Hong June
【주민등록번호】	561011-1902227
【우편번호】	790-390
【주소】	경상북도 포항시 남구 지곡동 교수숙소 9동 802호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	426,000 원
【감면사유】	학교
【감면후 수수료】	213,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 다중 위상 클럭의 듀티 사이클 보정 방법에 디지털적 보정 방법을 도입함으로써 시스템의 전력 절전 상태에서도 클럭의 듀티 사이클 보정 정보가 기억되며, 클럭의 듀티 사이클 보정 과정에서 클럭의 위상 정보가 일정하게 유지됨으로 다중 위상 클럭에 대한 보정이 가능하게 된 다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법에 관한 것이다. 한편, 본 발명은 클럭 듀티 사이클 보정 과정에서 클럭의 상승부(clock rising edge) 정보만을 이용함으로써 입력 클럭의 듀티 사이클에 거의 영향을 받지 않도록 된 다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법에 관한 것이다.

이를 위한 본 발명은 분기(shunt) 캐패시터 인버터 형태로 구성된 클럭 지연 수단; 클럭 상승부 발생 회로 그리고 클럭 하강부 발생 회로로 구성된 클럭 발생 수단; 및 적분기, 비교기, 카운트/레지스터로 구성된 클럭의 디지털 듀티 사이클 검출 수단을 포함하는 것을 특징으로 한다.

**【대표도】**

도 3

【명세서】

【발명의 명칭】

다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법{Digital duty cycle correction circuit for multi-phase clock and method thereof}

【도면의 간단한 설명】

도 1은 종래기술에 의한 듀티 사이클 보정회로를 개략적으로 도시한 구성도.

도 2a는 종래기술에 의한 듀티 사이클 보정회로의 듀티 사이클 보정부의 상세 회로 구성도.

도 2b는 종래기술에 의한 듀티 사이클 보정회로의 제어 전압 발생부의 상세 회로 구성도.

도 3은 본 발명에 따른 다중 위상 클럭을 위한 디지털 듀티 사이클 보정회로의 전체 구성도.

도 4는 본 발명에 따른 디지털 듀티 사이클 검출회로의 구성도.

도 5는 본 발명에 따라 디지털 듀티 사이클 검출회로에 이용된 전류 적분기 구성도.

도 6은 본 발명에 따라 기준전압에 둔감하도록 구성된 클럭의 디지털 듀티 사이클 검출회로의 타이밍도.

도 7은 본 발명에 따른 클럭의 듀티 사이클 보정시 듀티 사이클의 변화 그래프로서,

도 7a는 시간변화에 따른 출력 클럭의 변화를 보인 그래프,

도 7b는 입력 듀티 사이클 변화에 따른 출력 듀티 사이클의 변화를 보인 그래프.

<도면의 주요부분에 대한 부호의 설명>

100...디지털 듀티 사이클 보정 회로 110...클럭 발생 블록  
 120...클럭 상승부 발생 블록 130...클럭 하강부 발생 블록  
 140...클럭 지연 블록 160...클럭 구동 회로  
 170...클럭 듀티 사이클 검출부 172a,b...적분기  
 174...비교기 176...카운터/레지스터

【발명의 상세한 설명】.

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법에 관한 것으로서, 더 상세하게는 다중 위상 클럭의 듀티 사이클 보정 방법에 디지털적 보정 방법을 도입함으로써 시스템의 전력 절전 상태에서도 클럭의 듀티 사이클 보정 정보가 기억되며, 클럭의 듀티 사이클 보정 과정에서 클럭의 위상 정보가 일정하게 유지됨으로 다중 위상 클럭에 대한 보정이 가능하게 된 다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법에 관한 것이다.

<18> 한편, 본 발명은 클럭 듀티 사이클 보정 과정에서 클럭의 상승부(clock rising edge) 정보만을 이용함으로 입력 클럭의 듀티 사이클에 거의 영향을 받지 않도록 된 다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법에 관한 것이다.

<19> 당업자에게 잘 알려진 바와 같이, 아날로그-디지털 변환기, 위상 고정 루프, 지연 고정 루프 등, 클럭이 가해지는 많은 응용분야에 듀티 사이클이 50%인 클럭이 요구된다. 그런데, 클럭의 듀티 사이클이 50%에서 벗어날 경우 아날로그-디지털 변환기의 신호 대 잡음비의 특성이

나빠지며, 다중 위상 지연 고정 루프와 다중 위상 고정 루프는 위상 옵셋이 발생하는 문제점이 존재한다.

- <20>       상기한 문제점들을 해결하기 위해 종래에 이용되던 대표적인 아날로그 방식의 듀티 사이클 보정회로를 도 1에 나타내 보였다. 도 1에 도시한 보정회로는 듀티 사이클 보정부(10)와 제어 전압 발생부(20)로 이루어지는데, 듀티 사이클 보정부(10)는 도 2a에 도시한 바와 같이 구성될 수 있고, 제어 전압 발생부(20)는 도 2b에 도시한 바와 같이 구성될 수 있다.
- <21>       도 1 및 도 2a, 2b를 참조하면, 50%의 클럭 듀티 사이클을 맞추기 위해 제어 전압 발생부(20)에서 차동 클럭에 대해 듀티 사이클 차이에 비례하는 아날로그 옵셋 전압을 발생시키고, 이 아날로그 옵셋 전압을 듀티 사이클 보정부(10)의 제어 전압으로 하여 클럭의 듀티 사이클을 보정한다.
- <22>       상기한 종래기술에 있어서, 클럭의 듀티 사이클 정보인 아날로그 옵셋 전압은 제어 전압 발생부(20) 출력의 큰 캐패시터 부하에 저장되는데, 클럭 듀티 사이클 보정 후 전력 절전 상태에서는 듀티 사이클 보정 정보를 잃어 버리는 문제점이 있다.
- <23>       또한, 차동 클럭에 대해 듀티 사이클의 차이에 비례하는 아날로그 옵셋 전압을 정확히 발생시키기 위해서는 입력 클럭의 상승부, 하강부의 기울기가 완만해야 하므로 고속의 클럭에 대한 듀티 사이클 보정이 어렵고 노이즈에 민감하다. 또한, 클럭 듀티 사이클 보정시 클럭의 상승부, 하강부 위상이 모두 변화하므로 다중 위상 클럭에 대한 각 클럭의 위상 정보가 유지되지 못하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 디지털적 보정 방법을 도입함으로써 시스템의 전력 절전 상태에서도 클럭의 듀티 사이클 보정 정보를 기억할 수 있게 하며 클럭의 듀티 사이클 보정 과정에서 클럭의 상승부는 변화없이 클럭의 하강부만을 변화시켜 전체 클럭의 듀티 사이클을 보정함으로 클럭의 위상 정보를 일정하게 유지하여 다중 위상 클럭에 대한 보정이 가능하게 한 다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법을 제공하는데 그 목적이 있다.

<25> 본 발명이 이루고자 하는 다른 기술적 과제는, 클럭 듀티 사이클 보정 과정에서 클럭의 상승부(clock rising edge) 정보 만을 이용함으로 입력 클럭의 듀티 사이클에 거의 영향을 받지 않도록 한 다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위하여 본 발명에 따른 다중 위상 클럭을 위한 디지털 듀티 사이클 보정회로는, 분기 캐패시터 인버터 형태로 구성된 클럭 지연 수단; 클럭 상승부 발생 회로 그리고 클럭 하강부 발생 회로로 구성된 클럭 발생 수단; 및 적분기, 비교기 그리고 카운트/레지스터로 구성된 클럭의 디지털 듀티 사이클 검출 수단;으로 구성된다. 클럭 발생 수단의 클럭 상승부 발생 회로는 입력되는 클럭의 상승부를 검출하고 이 정보로 부터 듀티 사이클 보정 클럭의 상승부를 발생시키며 그리고, 클럭 발생 수단의 클럭 하강부 발생 회로는 입력되는 클럭의 위상이 180° 변환된 클럭의 상승부를 검출하고 이 정보로 부터 듀티 사이클 보정 클럭의 하강부를 발생시킨다. 또한 클럭의 디지털 듀티 사이클 검출 수단의 전류 적분기는 구동 클럭과 기준 전압의 차이를 적분하고 비교기는 적분기 출력을 씨모스 레벨로 변환시킨다. 한편 카운터



/레지스터는 비교기의 출력에 따라 4비트의 2진수 디지털 코드를 감소 또는 증가시켜 듀티 사이클 정보를 저장한다.

- <27> 본 발명의 보정회로의 바람직한 실시예에 있어서, 상기 클럭 상승부 발생 수단 및 클럭 하강부 발생 수단은 각각 슈도 씨모스 스퀘어 인버터(pseudo-C<sup>2</sup>MOS-inverter)로 이루어진다.
- <28> 본 발명의 보정회로의 바람직한 실시예에 있어서, 상기 듀티 사이클 보정 클럭의 하강부는 상기 클럭 지연 수단에 의해 180° 위상이 바뀐 상기 입력 클럭의 상승부로부터 발생된다.
- <29> 본 발명의 보정회로의 바람직한 실시예에 있어서, 상기 듀티 사이클이 보정된 클럭을 외부 회로로 출력 공급하는 클럭 구동회로 수단을 추가로 포함한다.
- <30> 본 발명의 보정회로의 바람직한 실시예에 있어서, 상기 클럭 구동회로 수단에서 출력되는 클럭의 듀티 사이클을 검출하여 상기 클럭 지연 수단에 궤환 입력시키는 디지털 듀티 사이클 검출회로 수단을 포함한다.
- <31> 본 발명의 보정회로의 바람직한 실시예에 있어서, 상기 듀티 사이클 검출회로 수단은, 상기 클럭 지연 수단을 제어하여 상기 입력 클럭의 상승부 위상을 180° 바꾸어 보정 클럭 하강부를 발생시키도록 하기 위한 소정의 디지털 코드를 출력한다.
- <32> 본 발명의 보정회로의 바람직한 실시예에 있어서, 상기 듀티 사이클 검출회로 수단은, 소정의 클럭과 기준전압의 차이를 상기 클럭의 한 주기 동안 적분하기 위한 2개의 적분기와; 상기 적분기에서의 적분 값이 0 보다 클 경우에는 소정의 다운(down) 신호를, 0 보다 작을 경우에는 소정의 업(up) 신호를 씨모스 레벨로 발생시키는 비교기;와 상기 다운 신호 및 업 신호에 따라 해당 카운터 값을 한 단계 감소 또는 증가시키고, 소정의 정보를 저장하기 위한 카운터/레지스터;를 포함한다.

- <33> 본 발명의 보정회로의 바람직한 실시예에 있어서, 상기 카운터/레지스터에 저장되는 정보는 4 비트의 2진 디지털 코드이고, 상기 2개의 적분기는 동일하다.
- <34> 그리고, 상기 목적을 달성하기 위한 본 발명에 따른 듀티 사이클 보정방법은 적분기를 이용한 클럭의 디지털 듀티 사이클 검출 수단을 이용함으로써 클럭의 듀티 보정 정보가 4비트 2진수의 디지털 코드인 것을 특징으로 한다.
- <35> 또한, 상기 목적을 달성하기 위한 본 발명에 따른 듀티 사이클 보정방법은, a) 입력되는 클럭의 위상을 180°변환시키는 단계; 및 b) a) 단계로 부터 생성된 클럭의 상승부를 검출하여, 이 정보로 부터 듀티 사이클 보정 클럭의 하강부를 발생시키는 단계;를 포함하고, 상기 듀티 사이클 보정 클럭의 하강부는 a)단계에 의해 180° 위상이 바뀐 클럭의 상승부로부터 발생되도록 된 것을 특징으로 한다.
- <36> 이하, 첨부한 도면을 참조하면서 본 발명에 따른 다중 위상 클럭을 위한 디지털 듀티 사이클 보정 회로 및 그 방법의 바람직한 실시예를 상세하게 설명한다. 본 발명을 설명함에 있어서 관련된 공지기술 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- <37> 도 3은 본 발명에 따른 다중 위상 클럭을 위한 디지털 듀티 사이클 보정회로의 전체 구성도이고, 도 4는 본 발명에 따른 디지털 듀티 사이클 검출회로의 구성도, 도 5는 본 발명에 따라 디지털 듀티 사이클 검출회로에 이용된 전류 적분기 구성도이다. 도 6은 본 발명에 따라, 기준전압에 둔감하도록 구성된 전류 적분기를 이용한 클럭 듀티 사이클 검출회로의 타이밍도,

도 7은 본 발명에 따른 클럭의 듀티 사이클 보정시 듀티 사이클의 변화 그래프로서, 도 7a는 시간변화에 따른 출력 클럭의 변화를 보인 그래프이고, 도 7b는 입력 듀티 사이클 변화에 따른 출력 듀티 사이클의 변화를 보인 그래프이다.

- <38> 도 3 및 도 4를 참조하면, 본 발명에 따른 디지털 듀티 사이클 보정 회로(100)는 클럭 상승부 발생 블록(120)과 클럭 하강부 발생 블록(130)으로 구성된 클럭 발생 블록(110), 클럭 지연 블록(140) 그리고 전류 적분기(172a,b)와 비교기(174), 및 카운터/레지스터(176)로 구성된 디지털 듀티 사이클 검출부(170)로 이루어진다.
- <39> 클럭 상승부 발생 블록(120)은 입력 클럭(clk\_in)의 상승부를 검출하고 듀티 사이클 보정 클럭의 상승부를 발생시킨다. 그리고, 분기 캐패시터 인버터 형태로 구성된 클럭 지연 블록(140)에 의해 입력 클럭의 위상이  $180^\circ$  바뀐 클럭은 클럭 하강부 발생 블록(130)에 입력되어 듀티 사이클 보정 클럭의 하강부를 발생시킨다. 여기서, 클럭 상승부 발생 블록(120)과 클럭 하강부 발생 블록(130)은 슈도 씨모스 스퀘어 인버터(pseudo-C<sup>2</sup>MOS-inverter)(110)로 포함되어 구성된다. 상기한 슈도 씨모스 스퀘어 인버터(110)는 종래의 낸드로직(NAND logic)을 이용한 클럭 상승부, 하강부 검출 회로보다 하드웨어를 줄이고 회로 동작 속도를 높이는 이점을 제공한다.
- <40> 상기와 같이 구성된 클럭의 듀티 사이클 보정회로(100)는 입력 클럭(clk\_in)의 상승부를 검출하여 클럭의 위상을 바꾸지 않고 듀티 사이클 보정 클럭의 상승부를 발생시킨다. 또한, 듀티 사이클 보정 클럭의 하강부는 지연 블록(140)에 의해  $180^\circ$ 의 위상이 바뀐 입력 클럭(clk\_in)의 상승부로부터 발생되도록 한다. 이와 같이 입력 클럭(clk\_in)의 상승부는 위상이 바뀌지 않고 듀티 사이클이 보정된 클럭의 상승부를 발생시키므로 다중 위상 클럭의 듀티 사이클 보정 후에도 각 클럭의 위상 정보는 잃지 않는다.

- <41> 또한, 클럭 듀티 사이클 보정시 입력 클럭의 하강부 정보를 이용하지 않고 입력 클럭의 상승부 정보만 이용하는 본 발명에 따른 보정회로(100)는 클럭의 상승부를 검출할 수 있는 듀티 사이클만 확보되면 입력 클럭의 듀티 사이클에 큰 영향을 받지 않는다.
- <42> 듀티 사이클이 보정된 클럭은 클럭 구동회로(160)를 통해 클럭이 요구되는 각 회로로 공급됨과 동시에 구동 회로를 통한(160) 구동 클럭(clk\_out)은 디지털 듀티 사이클 검출회로(170)로 입력되어 궤환 루프를 형성한다. 디지털 듀티 사이클 검출회로(170)의 상세 구성의 실시예를 도 4에 나타내 보였다.
- <43> 도 4에 도시된 디지털 듀티 사이클 검출회로(170)는 50% 듀티 사이클 클럭에 대해 상대적인 구동 클럭의 듀티 사이클 정보를 디지털 코드로 출력한다. 이 디지털 코드는 지연 블록(140)을 제어하여 입력 클럭의 상승부 위상을 180° 바꾸어 보정 클럭 하강부를 발생시킨다. 이러한 궤환 루프는 부궤환 루프로 클럭의 듀티 사이클이 50%가 되도록 한다.
- <44> 도 4에 도시된 디지털 듀티 사이클 검출회로(170)는 적분기(172a, 172b), 비교기(174) 및 카운터/레지스터(176)를 포함하여 이루어진다. 적분기(172a, 172b)에서 클럭과 기준전압( $\text{ref} = V_{\text{CLK\_SWING}}/2$ )의 차이를 클럭의 한 주기( $1/\text{fin}$ ) 동안 적분한다. 상기 적분기에서의 적분 값이 0 보다 클 경우에는 비교기(174)에서 다운(down) 신호를 발생시켜 카운터/레지스터(176)의 카운터의 값을 한 단계 감소시키고, 적분 값이 0 보다 작을 경우에는 비교기(174)에서 업(up) 신호를 발생시켜 카운터/레지스터(176)의 카운터의 값을 한 단계 증가시켜 카운터/레지스터(176)의 레지스터에 저장한다. 카운터/레지스터(176)에 저장된 디지털 코드는 바람직하게 4비트의 2진 디지털 코드이다. 부궤환 루프를 통해 50%의 클럭 듀티 사이클로 보정된 정보는 카운터/레지스터(176)에 저장되어 전력 절전 상태에서도 보정 정보를 기억한다.

<45> 한편, 클럭 듀티 사이클 검출회로(170)에서 사용되는 적분기에 회로적인 오프셋이나 기준 전압의 변화가 생길 경우 정확한 50%의 듀티 사이클을 검출하기 어려울 수 있다. 따라서, 본 발명에서는 동일한 전류 적분기 2개(172a, 172b)를 이용하여 구동 클럭과 그의 반전 클럭 즉,  $clk\_out$ 와  $\overline{clk\_out}$ 에 대해 동일한 기준 전압(ref)과의 차이를 적분하고 각 적분기(172a)(172b)의 출력을 서로 비교함으로써 상기의 어려움을 해결한다. 각 적분기(172a)(172b) 출력 값의 비교는 4-입력의 비교기(174)를 이용함으로써 가능하다.

<46> 도 5 및 도 6은 각각 본 발명에 따라 듀티 사이클 검출회로(170)에 사용된 2개의 적분기(172a, 172b) 및 상기 2개의 동일 적분기(172a, 172b)와 관련한 타이밍도를 도시하는데, 여기서  $fin/2$  클럭의 스윙이 낮은 구간( $V_{fin/2}=0V$ ) 동안 상기 적분기는 클럭과 기준 전압의 차에 비례하는 값을 출력 노드인 op 노드와 om 노드에 차동 전압 값으로 출력하고,  $fin/2$  클럭의 스윙이 높은 구간( $V_{fin/2}=VDD$ )에는 상기 적분기 각각의 출력 노드가 0V가 된다.

<47> 도 6의 타이밍도로부터 아래 공식을 유도할 수 있다.

<48>  $clk\_out$ 의 한 주기 적분값 =  $\overline{clk\_out}$ 의 한 주기 적분값

<49>  $(H-ref) \cdot t - (ref-L) \cdot (T-t) = (H-ref) \cdot (T-t) - (ref-L) \cdot t$

<50>  $2t \cdot (H-L) = T \cdot (H-L)$

<51> 상기 공식에서, T는 클럭의 주기이고, t는 클럭이 기준 전압 보다 큰 구간을 나타낸다(이 경우 듀티 사이클= $t/T \times 100\%$ ). 그리고 ref는 기준전압, H는 클럭이 기준 전압 보다 클 때 전압 값이며, L은 클럭이 기준 전압 보다 작을 때 전압 값을 나타낸다.

<52> 상기 공식에 따르면, 클럭의 듀티 사이클 검출은  $2t=T$ 의 수식으로 기준 전압에 상관없이 나타난다. 따라서, 동일한 적분기 2개를 사용하여 클럭의 듀티 사이클을 검출할 때 기준 전압

에 상관없이 50%의 듀티 사이클을 검출한다. 또한, 적분기에서 발생할 수 있는 회로적 오프셋을 2개의 동일한 적분기를 이용함으로 줄일 수 있다.

<53> 도 7a는 1.25GHz 입력 클럭에 대한 듀티 사이클 보정시 클럭 상승부의 위상은 일정히 유지되고 클럭의 하강부 위상만 변화하는 전체 클럭의 듀티 사이클의 보정 과정을 모의 실험을 통해 보인 것이다. 도 7a에 나타난 특성은 다중 위상 클럭에 대해 각 클럭의 위상 변화없이 듀티 사이클 보정이 가능하도록 한다.

<54> 도 7b는 입력 클럭의 듀티 사이클의 변화에 따른 출력 클럭의 듀티 사이클의 추이를 모의 실험한 결과를 나타내 보인 것이다. 도 7b에 나타난 결과와 같이 본 발명에 따른 보정회로는 클럭의 상승부를 검출할 수 있는 듀티 사이클(약 15% 듀티 사이클@입력 클럭 1.25GHz)만 확보되면 입력 클럭의 듀티에 큰 영향을 받지 않고 넓은 범위(약 15% ~85% 듀티 사이클@입력 클럭 1.25GHz)에서 동작가능하다. 또한, 본 발명에 따른 보정회로는 디지털 방식으로 듀티 사이클을 보정하므로 동작영역에서의 보정 듀티 사이클은 거의 일정하다.

#### 【발명의 효과】

<55> 이상에서 살펴본 바와 같이 본 발명에 따른 디지털 듀티 사이클 보정 회로 및 방법은, 다중 위상 클럭에 대한 각 클럭의 위상 정보를 유지시키면서 클럭의 듀티 사이클을 보정하기 위해 클럭의 상승부는 변화없이 클럭의 하강부만을 변화시켜 전체 클럭의 듀티 사이클을 보정할 수 있도록 하는 이점을 제공한다. 한편, 본 발명은 입력 클럭의 듀티 사이클에는 거의 영향을 받지 않는 이점을 제공한다.

- <56> 또한, 본 발명에 따른 디지털 듀티 사이클 보정 회로 및 방법은, 다중 위상 클럭의 듀티 사이클 보정에 있어 디지털 방법을 이용함으로써 전력 절전 상태에서도 클럭 듀티 사이클 보정에 대한 정보를 기억하는 이점과, 클럭 시스템의 전력 소모를 줄일 수 있는 이점을 제공한다.
- <57> 이상 본 발명의 바람직한 실시예에 대해 상세히 기술하였지만, 본 발명이 속하는 기술분야에 있어서 통상의 지식을 가진 사람이라면, 첨부된 청구 범위에 정의된 본 발명의 정신 및 범위를 벗어나지 않으면서 본 발명을 여러 가지로 변형 또는 변경하여 실시할 수 있음을 알 수 있을 것이다. 따라서 본 발명의 앞으로의 실시예들의 변경은 본 발명의 기술을 벗어날 수 없을 것이다.

**【특허청구범위】****【청구항 1】**

듀티 사이클 보정회로에 있어서,

입력되는 클럭의 상승부를 검출하고, 듀티 사이클 보정 클럭의 상승부를 발생시키는 클럭 상승부 발생 수단;

입력되는 클럭의 위상이  $180^\circ$  변환된 클럭의 상승부를 검출하고 이 정보로부터 듀티 사이클 보정 클럭의 하강부를 발생시키는 클럭 하강부 발생 수단; 및

입력되는 클럭의 위상을  $180^\circ$  변환시켜 상기 클럭 하강부 발생 수단에 입력시키는 클럭 지연 수단;을 포함하는 것을 특징으로 하는 디지털 듀티 사이클 보정회로.

**【청구항 2】**

제1항에 있어서, 상기 클럭 상승부 발생 수단 및 클럭 하강부 발생 수단은 각각 슈도 씨모스 스쿼어 인버터(pseudo-C<sup>2</sup>MOS-inverter)로 포함되는 것을 특징으로 하는 디지털 듀티 사이클 보정회로.

**【청구항 3】**

제1항에 있어서, 상기 듀티 사이클 보정 클럭의 하강부는 상기 클럭 지연 수단에 의해  $180^\circ$  위상이 바뀐 상기 입력 클럭의 상승부로부터 발생되도록 된 것을 특징으로 하는 디지털 듀티 사이클 보정회로.

**【청구항 4】**

제1항에 있어서, 상기 듀티 사이클이 보정된 클럭을 외부 회로로 출력 공급하는 클럭 구동회로 수단과, 상기 클럭 구동회로 수단에서 출력되는 클럭을 검출하여 상기 클럭 지연 수단



에 궤환 입력시키는 디지털 듀티 사이클 검출회로 수단을 포함하는 것을 특징으로 하는 디지털 듀티 사이클 보정회로.

**【청구항 5】**

제4항에 있어서, 상기 듀티 사이클 검출회로 수단은, 상기 클럭 지연 수단을 제어하여 상기 입력 클럭의 상승부 위상을  $180^\circ$  바꾸어 보정 클럭 하강부를 발생시키도록 하기 위한 소정의 디지털 코드를 출력하는 것을 특징하는 디지털 듀티 사이클 보정회로.

**【청구항 6】**

제4항에 있어서, 상기 듀티 사이클 검출회로 수단은, 소정의 클럭과 기준전압의 차이를 상기 클럭의 한 주기 동안 적분하기 위한 2개의 적분기와; 상기 적분기에서의 적분 값이 0 보다 클 경우에는 소정의 다운(down) 신호를 발생시키고, 0 보다 작을 경우에는 소정의 업(up) 신호를 발생시키는 비교기와; 상기 다운 신호 및 업 신호에 따라 해당 카운터 값을 한 단계 감소 또는 증가시키고, 소정의 정보를 저장하기 위한 카운터/레지스터를 포함하는 것을 특징으로 하는 디지털 듀티 사이클 보정회로.

**【청구항 7】**

제6항에 있어서, 상기 카운터/레지스터에 저장되는 정보는 4 비트의 2진 디지털 코드인 것을 특징으로 하는 디지털 듀티 사이클 보정회로.

**【청구항 8】**

제6항에 있어서, 상기 2개의 적분기는 동일한 것을 특징으로 하는 디지털 듀티 사이클 보정회로.

【청구항 9】

듀티 사이클 보정방법에 있어서,

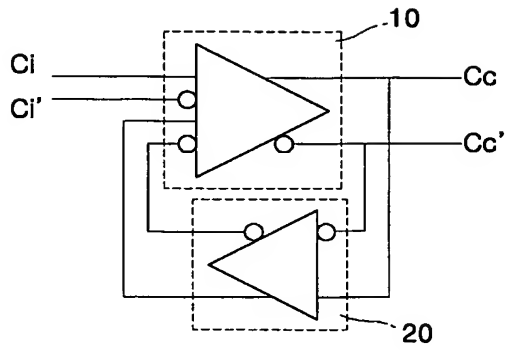
a) 입력되는 클럭의 위상을  $180^\circ$  변환시키는 단계; 및

b) a) 단계로 부터 생성된 클럭의 상승부를 검출하여, 이 정보로 부터 듀티 사이클 보정 클럭의 하강부를 발생시키는 단계;를 포함하고,

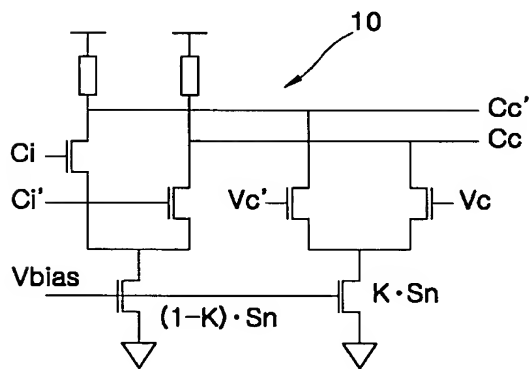
상기 듀티 사이클 보정 클럭의 하강부는 a) 단계에 의해  $180^\circ$  위상이 바뀐 클럭의 상승 부로부터 발생되도록 된 것을 특징으로 하는 디지털 듀티 사이클 보정방법.

【도면】

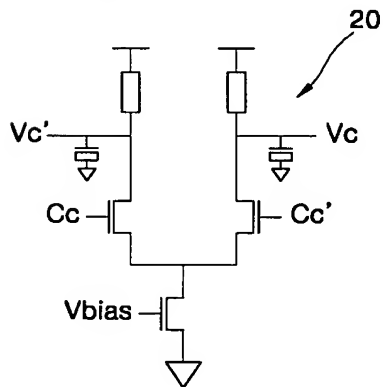
【도 1】



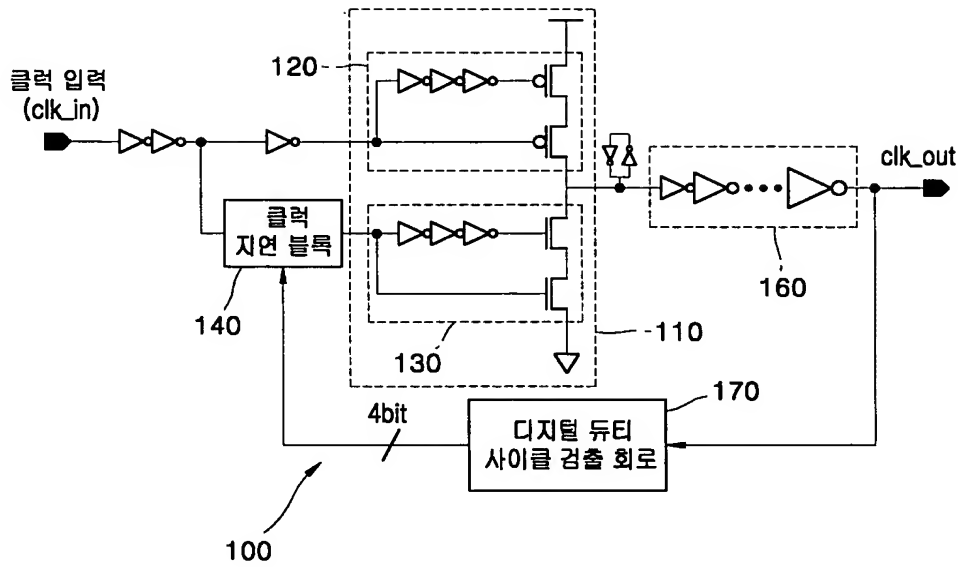
【도 2a】



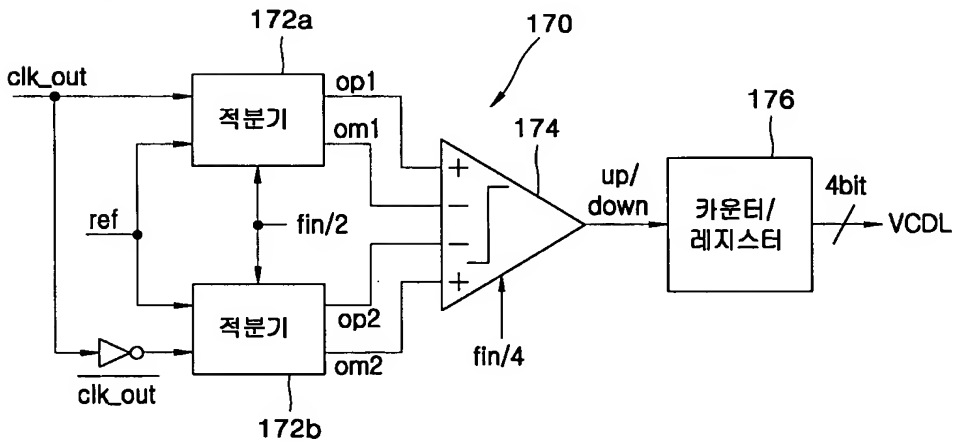
【도 2b】



【도 3】



【도 4】



Timing diagram for the equalizer circuit. The diagram shows two clock signals,  $\text{clk\_out}$  and its complement, and a reference signal  $L$ . The period of the clock is  $T = 1/f_{in}$ . The high pulse width is  $a$  and the low pulse width is  $b$ , with  $a+b = t$ . The equalizer circuit is shown as a block with two stages: **적분 (integrate)** and **이퀄라이즈 (equalize)**.

출력클럭 (Output Clock) [V]

시간 [sec]

50%

50%

【도 7b】

